

**(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG**

**(19) Weltorganisation für geistiges Eigentum
Internationales Büro**



**(43) Internationales Veröffentlichungsdatum
30. Juni 2005 (30.06.2005)**

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/060099 A1

(51) Internationale Patentklassifikation⁷: H03K 17/16

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE2004/002657

(75) **Erfinder/Anmelder (nur für US): BREDERLOW, Ralf** [DE/DE]; Sudetenstr. 51, 85586 Poing (DE). **KOH,** **Jeongwook** [KP/KR]; HageyDong, NowonGu Chukong APT, Seoul 909-705 (KR). **PACHA, Christian** [DE/DE]; Asenweg 12, 81739 München (DE). **THEWES, Roland** [DE/DE]; Jägerheimstr. 7, 82194 Gröbenzell (DE).

(25) Einreichungssprache: Deutsch

[DE/DE]; Jägerheimstr. 7, 82194 Grobenzell (DE).

(26) Veröffentlichungssprache: Deutsch

(74) **Anwalt: VIERING, Hans-Martin**; Vierung, Jentschura & Partner, Steinsdorfstr. 6, 80538 München (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CL, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,

(30) Angaben zur Priorität:

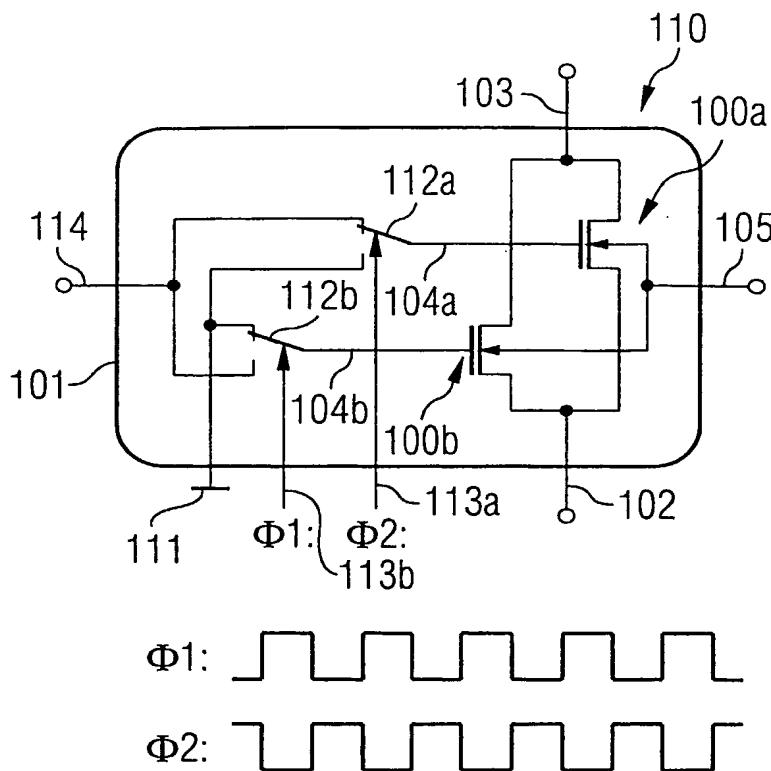
(71) **Anmelder** (*für alle Bestimmungsstaaten mit Ausnahme von US:* INFINEON TECHNOLOGIES AG [DE/DE]; St-)

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von

US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(54) Title: NOISE-REDUCING TRANSISTOR ARRANGEMENT, INTEGRATED CIRCUIT, AND METHOD FOR REDUCING THE NOISE OF FIELD-EFFECT TRANSISTORS

(54) Bezeichnung: TRANSISTOR-ANORDNUNG ZUM VERRINGERN VON RAUSCHEN, INTEGRIERTER SCHALTKREIS UND VERFAHREN ZUM VERRINGERN DES RAUSCHENS VON FELDFFEKTTRANSISTOREN



(57) Abstract: Disclosed is a noise-reducing transistor arrangement comprising a first (100a) and a second (100b) field effect transistor, each of which is provided with a first and a second source/drain connection as well as a control connection for feeding a first or second signal. Said transistor arrangement is configured such that the first signal (114) can be fed alternatively to the control connection of the first field effect transistor while the second signal (111) can be simultaneously fed to the control connection of the second field effect transistor, or the second signal can be fed to the control connection of the first field effect transistor while the first signal can be simultaneously fed to the control connection of the second field effect transistor.

[Fortsetzung auf der nächsten Seite]



GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL,

PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Transistor-Anordnung zum Verringern von Rauschen enthält einen ersten (100a) und einen zweiten (100b) Feldeffekttransistor, von denen jeder einen ersten und einen zweiten Source-/Drain-Anschluss aufweist und einen Steuer-Anschluss zum Anlegen eines ersten oder zweiten Signals aufweist. Die Transistor-Anordnung ist derart eingerichtet, dass alternierend an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal (114) und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal (111) anlegbar ist, bzw. an den Steuer-Anschluss des ersten Feldeffekttransistors das zweite Signal und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das erste Signal anlegbar ist.